

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265947

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 10-066898

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.03.1998

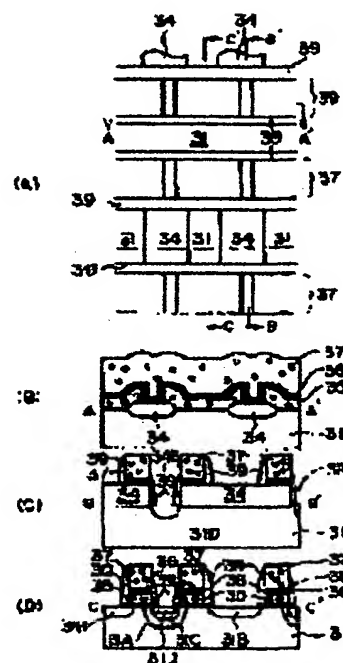
(72)Inventor : TAKAHASHI SATOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain impurity elements from being thermally diffused into a channel region under a gate electrode from a drain region, by a method wherein a second diffusion region that forms a drain region and a third diffusion region that forms a source line are formed at the same time after a first region that forms a source region is formed.

SOLUTION: Ions are implanted into the surface of an Si substrate 31 exposed through a groove 34A and further thermally diffused to form an N⁺-type diffusion region 31D as a source line in the substrate 31 to connect an adjacent memory cell transistor N⁺-type diffusion region 31C in the direction in which a control electrode pattern 37 extends. At the same time, an N⁺-type diffusion region 31B is formed in the Si substrate 31 on the other side of the control electrode 37 corresponding to a drain region. The diffusion regions 31B and 31D are formed as doped with As at the same time, so that no impurity element is furthermore thermally diffused after the drain region 31B is formed, and the drain region 31B hardly penetrates into a channel region under an electrode pattern 35.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265947

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78 3 7 1
27/10 4 3 4

審査請求 未請求 請求項の数11 O L (全 17 頁)

(21) 出願番号 特願平10-66898

(22) 出願日 平成10年(1998) 3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高橋 聡

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

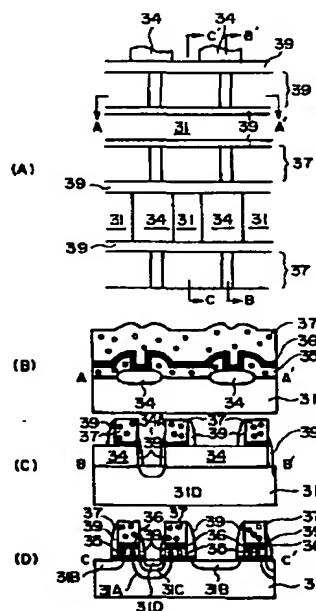
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ソースラインによりソース領域が接続された NOR 型フラッシュメモリにおいて、ショートチャネル効果を回避しつつ微細化をすすめる。

【解決手段】 基板上にフローティング電極およびコントロール電極を含むゲート構造を形成した後、ソース領域を構成する拡散領域を形成し、さらにフィールド酸化膜中に前記ソース領域に接続し基板表面を露出する溝を形成した後、前記溝中にイオン注入を行ってソースラインを形成すると同時に、ドレイン領域にもイオン注入を行ってドレイン領域に対応する拡散領域を形成する。

(A)~(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図(その1)



1

【特許請求の範囲】

【請求項 1】 フィールド絶縁膜を形成された基板と、前記基板上、前記フィールド絶縁膜により画成された活性領域上に形成された、トンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティング電極と、前記フローティング電極上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された制御電極とよりなるゲート構造とを備えた半導体装置の製造方法において、前記活性領域中、前記ゲート構造の側の側に第 1 のイオン注入工程を行い、第 1 の拡散領域を形成する工程と、
10 前記第 1 の拡散領域を形成する工程の後、前記フィールド絶縁膜のうち、前記第 1 の拡散領域に隣接する部分を除去し、前記活性領域外において前記基板表面を露出する工程と、
前記活性領域中、前記ゲート構造の他の側に第 2 のイオン注入工程を行い、第 2 の拡散領域を形成する工程と、前記露出した基板表面に第 3 のイオン注入を行い、前記第 1 の拡散領域に隣接して第 3 の拡散領域を形成する工程とよりなり、
前記第 2 のイオン注入工程と前記第 3 のイオン注入工程とは、同時に実行されることを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 のイオン注入工程と前記第 2 のイオン注入工程とは、同一の導電型を有する互いに異なった不純物元素によりそれぞれ実行されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 2 のイオン注入工程と前記第 3 のイオン注入工程とは、同一の不純物元素により実行されることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】 さらに、前記第 1 のイオン注入工程の後、前記第 1 の拡散領域に、第 4 のイオン注入工程を行うことを特徴とする請求項 2 または 3 記載の半導体装置の製造方法。

【請求項 5】 前記第 4 のイオン注入工程は、前記第 1 のイオン注入工程での不純物元素とは異なった不純物元素により実行されることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記第 1 のイオン注入工程と前記第 4 のイオン注入工程とは、連続して実行されることを特徴とする請求項 4 または 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 1 のイオン注入工程は、前記基板表面のうち、前記第 2 の拡散領域が形成される部分をレジストパターンにより保護して実行されることを特徴とする請求項 1～6 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 8】 前記活性領域外において前記基板表面を露出する工程は、前記活性領域のうち前記第 2 の拡散領域が形成される部分、および前記フィールド酸化膜のうち、前記第 2 の拡散領域が形成される部分に隣接する部

2

分をレジストパターンにより保護し、絶縁膜に選択的に作用するドライエッチングを行うことにより実行されることを特徴とする請求項 1～7 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 9】 さらに、前記第 1 のイオン注入工程の後、前記活性領域外において前記基板表面を露出する工程よりも前に、前記ゲート構造の対向する一対の側壁面上に側壁絶縁膜を形成することを特徴とする請求項 1～7 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 10】 基板と、前記基板上に形成され、活性領域を画成するフィールド絶縁膜と、前記活性領域上に形成され、トンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティング電極と、前記フローティング電極上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された制御電極とよりなり、第 1 の側の側壁面上に第 1 の側壁絶縁膜を、また第 2 の反対側の側壁面上に第 2 の側壁絶縁膜を担持するゲート電極構造と、

前記活性領域中、前記ゲート電極構造の前記第 1 の側に形成され、内側の高濃度領域と前記高濃度領域を囲む外側の低濃度領域とよりなる第 1 の拡散領域と、前記活性領域中、前記ゲート電極構造の前記第 2 の側に形成され、前記第 1 の拡散領域と同一の導電型を有する第 2 の拡散領域と、前記フィールド絶縁膜中に、前記第 1 の拡散領域の高濃度領域に隣接して形成され、前記基板表面を露出する溝と、
30 前記溝により露出された基板表面に、前記第 1 の拡散領域中の高濃度領域に連続して形成され、前記第 1 および第 2 の拡散領域と同一の導電型を有する第 3 の拡散領域とを備えた半導体装置において、前記第 2 の拡散領域と前記第 3 の拡散領域とは同一の導電型を有し、同一の不純物元素を同一の濃度含むことを特徴とする半導体装置。

【請求項 11】 前記第 2 の拡散領域の先端は、前記第 2 の側壁絶縁膜と前記第 2 の側壁面との間に位置することを特徴とする請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置の製造に関し、特にフラッシュメモリおよびその製造方法に関する。フラッシュメモリはメモリセルトランジスタのゲートにフローティング電極を有し、情報をフローティング電極に電荷の形で蓄積する不揮発性の半導体装置である。フラッシュメモリでは、メモリセルトランジスタのドレイン端近傍に形成されるホットエレクトロンをトンネル酸化膜を介して前記フローティング電極に注入することにより情報の書き込みがなされ、また前記フローティング電極に蓄積した電荷を引き抜くことにより、

3

情報の消去がなされる。前記フローティング電極に注入された電子は前記メモリセルトランジスタのチャネル領域の導通を制御し、その結果メモリセルトランジスタの導通を検出することにより、前記フローティング電極に保持されている二値情報の内容が検出される。特にNOR型のフラッシュメモリでは、フローティング電極に蓄積された電荷をソース領域へ引き抜くことにより、情報の一括消去がなされる。

【0002】

【従来の技術】図10(A)～(D)、図11(A)～(D)、図12(A)～(D)、図13(A)～(D)、図14(A)～(D)、図15(A)～(D)、図16(A)～(D)、図17(A)～(D)および図18(A)～(D)は、従来のNOR型フラッシュメモリの製造工程を示す。ただし、図10(A)～図18(A)は平面図を、図10(B)～図18(B)は線A-A'に沿った断面図を、図10(C)～18(C)は線B-B'に沿った断面図を、さらに図10(D)～18(D)は線C-C'に沿った断面図を示す。

【0003】図10(A)～(D)を参照するに、p型Si基板11上にはパッド酸化膜12が熱酸化により15～30nmの厚さに形成され、さらにその上にSiN膜13が150～200nmの厚さに形成されている。前記SiN膜13は帯状の素子分離領域に対応してエッチング除去され、素子分離領域にはウェット酸化により、帯状のフィールド酸化膜パターン14が形成されている。

【0004】次に、前記SiN膜13およびパッド酸化膜12は除去され、露出したSi基板11の表面にHCl中における熱酸化により、フラッシュメモリのトンネル酸化膜となるSiO₂膜12Aを形成した後、図11(A)～(D)の工程においてポリシリコン膜を堆積し、これをパターンニングして、一对の隣接したフィールド酸化膜パターン14の間において露出したトンネル酸化膜12Aを覆う、前記帯状のフィールド酸化膜パターン14に対応した帯状の形状を有するポリシリコンパターン15を、フラッシュメモリのフローティング電極として形成する。

【0005】次に図12(A)～(D)の工程において、前記図11(A)～(D)の構造上に、いわゆるON₂構造を有し、厚さが7～10nmの下側酸化膜と、その上の厚さが10～15nmのSiN膜と、さらにその上の厚さが約3nmの上側酸化膜とよりなる層間絶縁膜を堆積し、さらに前記層間絶縁膜上に、厚さが150～200nmの別のポリシリコン膜と厚さが150～200nmのWSi膜とよりなる導体膜をさらに堆積し、堆積された導体膜17およびその下の層間絶縁膜を、前記層間絶縁膜の下の前記ポリシリコンパターン15と共にパターンニングして、前記フィールド酸化膜パターン1

4

4の延在方向に略直交する導体パターン17を、フラッシュメモリの制御電極として形成する。

【0006】図12(A)～(D)の工程のパターニングの結果、図11(A)のフィールド酸化膜パターン14に平行に延在するポリシリコンパターン15は個々のパターンに分割され、また前記層間絶縁膜は前記導体パターン17の下を導体パターン17と平行に延在し、前記分割されたポリシリコンパターンの上面および両端面を覆う層間絶縁膜パターン16を形成する。図12

(A)～(C)に示すように、前記導体パターン17は前記複数のフィールド酸化膜パターン14を横断して延在し、フラッシュメモリのワード線電極を形成する。また、図12(B)および(D)よりわかるように、前記フローティング電極パターン15はSi基板11からトンネル酸化膜12Aにより分離され、また制御電極パターン17から層間絶縁膜パターン16により分離されている。

【0007】次に、図13(A)～(D)の工程において、一对の制御電極パターン17のそれぞれの外側半分を覆うようにレジストパターン18を形成し、さらに前記レジストパターン18および前記制御電極パターン17をマスクに、前記Si基板11中に前記トンネル酸化膜12Aを介してP⁺を、典型的には40～60keVの加速電圧と10¹⁴cm⁻²程度のドーズでイオン注入し、さらに熱拡散を行うことにより、図14(A)～(D)の工程中、特に図14(D)に示すように、前記Si基板11中、隣接する一对の制御電極パターン17の間に、低濃度のn⁻型ソース領域11Aを形成する。図13(A)～(D)の工程では、前記フラッシュメモリセルトランジスタのドレイン領域はレジストパターン18で保護されているため、図14(A)～(D)の工程ではドレイン領域に対応した拡散領域は形成されない。

【0008】次に、図15(A)～(D)の工程において、前記基板11中に、前記制御電極パターン17を自己整合マスクにAs⁺のイオン注入を、前記トンネル酸化膜12Aを介して典型的には40～60keVの加速電圧と10¹⁵cm⁻²程度のドーズで実行し、さらに熱拡散工程を実行することにより、前記ドレイン領域に対応してn⁺型の拡散領域11Bを形成する。その際、前記As⁺のイオン注入の結果、前記n⁻型ソース領域11Aの内側に別のn⁺型拡散領域11Cが形成される。前記熱拡散工程の結果、前記n⁻型ソース領域11A、およびn⁺型拡散領域11B、11Cは、図15(D)に示すように、前記Si基板11中、フローティング電極15直下の領域にまで拡大する。さらに、前記n⁺型拡散領域11B、11Cの形成後、前記制御電極17に側壁酸化膜19を形成する。

【0009】ただし、図15(A)～(D)の工程では、前記ソース領域11Aあるいは11Cは、前記制御

5

電極パターン 17 の延在方向上で隣接するソース領域 11A あるいは 11C からフィールド酸化膜 14 により隔てられており、NOR 型フラッシュメモリに特徴的な連続したソースラインはまだ形成されていない。そこで、次に図 16 (A) ~ (D) の工程において、図 15

(A) ~ (D) の構造上に図 13 (A) ~ (D) の工程で使ったのと同様なレジストパターン 20 を形成し、図 17 (A) ~ (D) の工程において、さらに前記レジストパターン 20 および制御電極パターン 17 の一部をマスクに前記層間絶縁膜 14 の露出部を選択的にドライエッチングすることにより、図 17 (A) および 17

(C) に示すように、拡散領域 11C が形成されたメモリセルトランジスタのソース領域を隣接するメモリセルトランジスタのソース領域 11C に連続させる溝 14A を前記層間絶縁膜 14 中に形成する。その際、前記溝 14A は、Si 基板 11 の表面を露出する。

【0010】さらに、図 18 (A) ~ (D) の工程において、前記溝 14A により露出された Si 基板 11 の表面部分に、前記制御電極パターン 17 を自己整合マスクに As^+ のイオン注入を、典型的には $40 \sim 60 \text{ keV}$ の加速電圧と約 10^{15} cm^{-2} のドーズで実行し、隣接するメモリセルトランジスタの n^+ 型拡散領域 11C を前記制御電極パターン 17 の延在方向に接続する n^+ 型の拡散領域 11D を、基板 11 中に、ソースラインとして形成する。

【0011】さらに図 19 (A) に示すように図 18

(A) ~ (D) の構造を層間絶縁膜 21 で覆い、さらに前記層間絶縁膜 21 中に前記ドレイン拡散領域 11B を露出するコンタクトホール 21A を形成し、さらに前記コンタクトホール 21A を埋めるようにビット線 BL を構成する A1 パターン 22 を、前記制御電極 17 の延在方向に略直交するように形成し、さらに前記 A1 パターン 22 を別の層間絶縁膜 23 により覆う。かかる構成により、図 19 (B) に示すような、 n^- 型ソース領域 11A が n^+ 型拡散領域 11C およびソースライン 11D を介して消去電源に接続された構成のフラッシュメモリが形成される。ただし、前記制御電極 17 はワード線 WL を形成する。

【0012】かかる構成のフラッシュメモリでは、先にも説明したように、前記 n^+ 型拡散領域 11C が Si 基板 11 中をフローティング電極パターン 15 直下の領域にまで延在するため、情報の消去の際、前記フローティング電極パターン 15 から前記 n^+ 型拡散領域 11C への電子のトンネル酸化膜 12A を通過するトンネリングによる引き抜きが確実に行われる。また、前記拡散領域 11A は低濃度の n^- 型拡散領域であるため、基板 11 と N^+ 型拡散領域 11C との間の電界を弱め、このため電子の引き抜きが過剰に生じて前記消去の際に拡散領域 11C からフローティング電極パターン 15 にホールが注入されてしまう問題を回避することができる。また、

6

前記ドレイン領域 11B は n^+ 型にドーピングされているため、前記ドレイン領域 11B 近傍におけるホットエレクトロンの形成が効率的に生じ、情報の書き込み時に電子をフローティング電極パターン 15 に効率的に注入することが可能になる。

【0013】

【発明が解決しようとする課題】一方、前記従来の NOR 型フラッシュメモリでは、イオン注入工程が、図 13 (A) ~ (D) の工程と図 15 (A) ~ (D) の工程、さらに図 18 (A) ~ (D) の工程の計 3 回にわたって行われるため、前記拡散領域 11A は前記フローティング電極パターン 15 直下に形成されるチャネル領域の半分を超えて拡大する可能性がある。また、前記拡散領域 11B も、図 15 (A) ~ (D) の工程と図 18 (D) ~ (D) の工程の計 2 回にわたってイオン注入および熱拡散工程を受けるため、前記フローティング電極パターン 15 直下の領域深く侵入する傾向がある。

【0014】このため、前記従来の NOR 型フラッシュメモリでは、特に微細化が進んだ場合、ゲート長が設計値を超えて非常に短くなってしまい、メモリセルトランジスタにショートチャネル効果が生じてしまうおそれがある。そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする

本発明のより具体的な課題は、フローティング電極を有し、ソース拡散領域がソースラインを構成する拡散領域に接続された構成の半導体装置において、フローティング電極から前記ソース拡散領域へのトンネル絶縁膜を介した電子の引き抜きを安定して行うことができ、ドレイン拡散領域に十分な不純物濃度を確保することにより、フローティング電極へのホットエレクトロンの注入を効率的に行うことができ、しかもドレイン拡散領域のチャネル領域への侵入を抑制した半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は、上記の課題を、請求項 1 に記載したように、フィールド絶縁膜を形成された基板と、前記基板上、前記フィールド絶縁膜により画成された活性領域上に形成された、トンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティング電極と、前記フローティング電極上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された制御電極とよりなるゲート構造とを備えた半導体装置の製造方法において、前記活性領域中、前記ゲート構造の一の側に第 1 のイオン注入工程を行い、第 1 の拡散領域を形成する工程と、前記第 1 の拡散領域を形成する工程の後、前記フィールド絶縁膜のうち、前記第 1 の拡散領域に隣接する部分を除去し、前記活性領域外において前記基板表面を露出する工程と、前記活性領域中、前記ゲート構造の他の側に第 2 のイオン注入工程を行い、第 2 の拡散領域を

7

形成する工程と、前記露出した基板表面に第 3 のイオン注入を行い、前記第 1 の拡散領域に隣接して第 3 の拡散領域を形成する工程とよりなり、前記第 2 のイオン注入工程と前記第 3 のイオン注入工程とは、同時に実行されることを特徴とする半導体装置の製造方法により、または請求項 2 に記載したように、前記第 1 のイオン注入工程と前記第 2 のイオン注入工程とは、同一の導電型を有する互いに異なった不純物元素によりそれぞれ実行されることを特徴とする請求項 1 記載の半導体装置の製造方法により、または請求項 3 に記載したように、前記第 2 のイオン注入工程と前記第 3 のイオン注入工程とは、同一の不純物元素により実行されることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法により、または請求項 4 に記載したように、さらに、前記第 1 のイオン注入工程の後、前記第 1 の拡散領域に、第 4 のイオン注入工程を行うことを特徴とする請求項 2 または 3 記載の半導体装置の製造方法により、または請求項 5 に記載したように、前記第 4 のイオン注入工程は、前記第 1 のイオン注入工程での不純物元素とは異なった不純物元素により実行されることを特徴とする請求項 4 記載の半導体装置の製造方法により、または請求項 6 に記載したように、前記第 1 のイオン注入工程と前記第 4 のイオン注入工程とは、連続して実行されることを特徴とする請求項 4 または 5 記載の半導体装置の製造方法により、または請求項 7 に記載したように、前記第 1 のイオン注入工程は、前記基板表面のうち、前記第 2 の拡散領域が形成される部分をレジストパターンにより保護して実行されることを特徴とする請求項 1 ~ 6 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 8 に記載したように、前記活性領域外において前記基板表面を露出する工程は、前記活性領域のうち前記第 2 の拡散領域が形成される部分、および前記フィールド酸化膜のうち、前記第 2 の拡散領域が形成される部分に隣接する部分をレジストパターンにより保護し、絶縁膜に選択的に作用するドライエッチングを行うことにより実行されることを特徴とする請求項 1 ~ 7 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 9 に記載したように、さらに、前記第 1 のイオン注入工程の後、前記活性領域外において前記基板表面を露出する工程よりも前に、前記ゲート構造の対向する一対の側壁面上に側壁絶縁膜を形成することを特徴とする請求項 1 ~ 7 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 10 に記載したように、基板と、前記基板上に形成され、活性領域を画成するフィールド絶縁膜と、前記活性領域上に形成され、トンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティング電極と、前記フローティング電極上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された制御電極とよりなり、第 1 の側の側壁面上に第 1 の側壁絶縁膜を、また第 2 の反対側の側壁面上に第 2 の側壁絶縁膜を担持する

8

ゲート電極構造と、前記活性領域中、前記ゲート電極構造の前記第 1 の側に形成され、内側の高濃度領域と前記高濃度領域を囲む外側の低濃度領域とよりなる第 1 の拡散領域と、前記活性領域中、前記ゲート電極構造の前記第 2 の側に形成され、前記第 1 の拡散領域と同一の導電型を有する第 2 の拡散領域と、前記フィールド絶縁膜中に、前記第 1 の拡散領域の高濃度領域に隣接して形成され、前記基板表面を露出する溝と、前記溝により露出された基板表面に、前記第 1 の拡散領域中の高濃度領域に連続して形成され、前記第 1 および第 2 の拡散領域と同一の導電型を有する第 3 の拡散領域とを備えた半導体装置において、前記第 2 の拡散領域と前記第 3 の拡散領域とは同一の導電型を有し、同一の不純物元素を同一の濃度含むことを特徴とする半導体装置により、または請求項 11 に記載したように、前記第 2 の拡散領域の先端は、前記第 2 の側壁絶縁膜と前記第 2 の側壁面との間に位置することを特徴とする請求項 10 記載の半導体装置により、解決する。

【作用】本発明によれば、NOR 型フラッシュメモリのメモリセルトランジスタを始めとする、基板中においてソース領域を構成する第 1 の拡散領域を、同じ基板中に形成され前記ソースラインを構成する第 3 の拡散領域に接続した半導体装置において、ドレイン領域を構成する第 2 の拡散領域が、前記第 1 の拡散領域が形成された後、第 3 の拡散領域と同時に形成されるため、従来の製造工程におけるように、先に形成されたドレイン領域が、後でソースラインを形成する際に余計な処理を受ける問題が生じない。このため、ゲート電極構造直下のチャネル領域へのドレイン領域からの不純物元素の熱拡散による侵入が抑制され、半導体装置が非常に微細化された半導体装置であっても、ショートチャネル効果の発生が抑止できる。また、前記ドレイン領域とソースラインとは同時に、自己整合的に形成されるため、工程が簡単である。

【0016】

【発明の実施の形態】図 1 (A) ~ (D)、図 2 (A) ~ (D)、図 3 (A) ~ (D)、図 4 (A) ~ (D)、図 5 (A) ~ (D)、図 6 (A) ~ (D)、図 7 (A) ~ (D)、図 8 (A) ~ (D) および図 9 (A) ~ (D) は、本発明の第 1 実施例による NOR 型フラッシュメモリの製造工程を示す。ただし、図 1 (A) ~ 図 9 (A) は平面図を、図 1 (B) ~ 図 9 (B) は線 A - A' に沿った断面図を、図 1 (C) ~ 9 (C) は線 B - B' に沿った断面図を、さらに図 1 (D) ~ 9 (D) は線 C - C' に沿った断面図を示す。

【0017】図 1 (A) ~ (D) を参照するに、p 型 Si 基板 31 上にはパッド酸化膜 32 が熱酸化により 15 ~ 30 nm の厚さに形成され、さらにその上に SiN 膜 33 が 150 ~ 200 nm の厚さに形成されている。前記 SiN 膜 33 は帯状の素子分離領域に対応してエッチ

9

ング除去され、素子分離領域にはウェット酸化により、帯状のフィールド酸化膜パターン34が形成されている。

【0018】次に、前記SiN膜33およびパッド酸化膜32は除去され、露出したSi基板31の表面にHCl中における熱酸化により、フラッシュメモリのトンネル酸化膜となるSiO₂膜32Aを形成した後、図2

(A)～(D)の工程においてポリシリコン膜を堆積し、これをパターニングして、一対の隣接したフィールド酸化膜パターン34の間において露出したトンネル酸化膜32Aを覆う、前記帯状のフィールド酸化膜パターン34に対応した帯状の形状を有するポリシリコンパターン35を、フラッシュメモリのフローティング電極として形成する。

【0019】次に図3(A)～(D)の工程において、前記図2(A)～(D)の構造上に、いわゆるONO構造を有し、厚さが7～10nmの下側酸化膜と、その上の厚さが10～15nmのSiN膜と、さらにその上の厚さが約3nmの上側酸化膜とよりなる層間絶縁膜を堆積し、さらに前記層間絶縁膜上に、厚さが約150～200nmの別のポリシリコン膜と厚さが150～200nmのWSi膜とよりなる導体膜をさらに堆積し、堆積された導体膜37およびその下の層間絶縁膜を、前記層間絶縁膜の下の前記ポリシリコンパターン35と共にパターニングして、前記フィールド酸化膜パターン34の延在方向に略直交する導体パターン37を、フラッシュメモリの制御電極として形成する。

【0020】図3(A)～(D)の工程のパターニングの結果、図2(A)のフィールド酸化膜パターン34に平行に延在するポリシリコンパターン35は個々のパターンに分割され、また前記層間絶縁膜は前記導体パターン37の下を導体パターン37と平行に延在し、前記分割されたポリシリコンパターンの上面および両端面を覆う層間絶縁膜パターン36を形成する。図3(A)～

(C)に示すように、前記導体パターン37は前記複数のフィールド酸化膜パターン34を横断して延在し、フラッシュメモリのワード線電極を形成する。また、図3(B)および(D)よりわかるように、前記フローティング電極パターン35はSi基板31からトンネル酸化膜32Aにより分離され、また制御電極パターン37から層間絶縁膜パターン36により分離されている。

【0021】次に、図4(A)～(D)の工程において、一対の制御電極パターン37のそれぞれの外側半部分を覆うようにレジストパターン38を形成し、さらに前記レジストパターン38および前記制御電極パターン37をマスクに、前記Si基板31中に前記トンネル酸化膜32Aを介してP⁺を、典型的には40～60keVの加速電圧と10¹⁵cm⁻²程度のドーズでイオン注入し、さらに約900°Cで熱拡散を行うことにより、図5(A)～(D)の工程中、特に図5(D)に示すよう

10

に、前記Si基板31中、隣接する一対の制御電極パターン37の間に、低濃度のn⁻型ソース領域31Aを形成する。図4(A)～(D)の工程では、前記フラッシュメモリセルトランジスタのドレイン領域はレジストパターン38で保護されているため、図5(A)～(D)の工程ではドレイン領域に対応した拡散領域は形成されない。

【0022】さらに、図4(A)～(D)および図5(A)～(D)の工程では、前記P⁺のイオン注入工程に引き続き、As⁺のイオン注入を40～60keVの加速電圧と約10¹⁴cm⁻²のドーズ量で行い、約900°Cで熱拡散を行うことにより、前記図5(A)～

(D)の工程中、特に図5(D)に示すように前記Si基板31中に、前記ソース領域31Aに重畳してn⁺型の拡散領域31Cを形成する。前記拡散領域31Cを形成する熱拡散工程に伴い、先に形成されたn⁻型の拡散領域31Aおよびn⁺型の拡散領域31Cは拡大し、フローティング電極35直下のチャネル領域中にまで侵入する。

【0023】次に、図6(A)～(D)の工程において前記制御電極37に側壁酸化膜39を形成し、次に図7(A)～(D)の工程において、図6(A)～(D)の構造上に図4(A)～(D)の工程で使ったのと同様なレジストパターン40を形成する。さらに図8(A)～(D)の工程において、前記レジストパターン40および制御電極パターン37の一部をマスクに前記層間絶縁膜34の露出部を選択的にドライエッチングすることにより、図8(A)および8(C)に示すように、拡散領域31Cが形成されたメモリセルトランジスタのソース領域を隣接するメモリセルトランジスタのソース領域31Cに連続させる溝34Aを前記層間絶縁膜34中に形成する。その際、前記溝34Aは、Si基板31の表面を露出する。ドライエッチングは例えばCHF₃等を使って行われ、Si基板31の表面が露出した時点で自動的に停止する。

【0024】さらに、図9(A)～(D)の工程において、前記溝34Aにより露出されたSi基板31の表面部分に前記制御電極パターン37を自己整合マスクにAs⁺のイオン注入を、典型的には40～60keVの加速電圧と約10¹⁴cm⁻²のドーズで実行し、さらに約900°Cで熱拡散を行うことにより、隣接するメモリセルトランジスタのn⁺型拡散領域31Cを前記制御電極パターン37の延在方向に接続するn⁺型の拡散領域31Dを基板31中に、ソースラインとして形成する。本実施例では、同時に、前記Si基板31中、前記制御電極37の他の側に、ドレイン領域に対応してn⁺型の拡散領域31Bを形成する。拡散領域31Bと31Dと同時にAsのドーピングにより形成されるため、Asを実質的に同一の濃度含有する。

【0025】図9(A)～(D)の工程では、前記As

11

・のドーピングは先に A_s^+ のドーピングにより形成されたソース領域の高濃度領域 31C にもなされ、その結果、前記高濃度領域 31C 中の A_s の濃度は前記ドレイン領域 31B あるいはソースライン 31D における A_s の濃度よりも一般に高くなる。さらに、先に図 19

(A) で説明したように、図 9 (A) ~ (D) の構造を層間絶縁膜 21 で覆い、さらに前記層間絶縁膜 21 中に前記ドレイン拡散領域を露出するコンタクトホール 21A を形成し、さらに前記コンタクトホール 21A を埋めるようにビット線 BL を構成する A1 パターン 22 を、前記制御電極 17 の延在方向に略直交するように形成し、さらに前記 A1 パターン 22 を別の層間絶縁膜 23 により覆う。かかる構成により、図 19 (B) に示すような、 n^- 型ソース領域 11A が n^+ 型拡散領域 11C およびソースライン 11D を介して消去電源に接続された構成のフラッシュメモリが形成される。ただし、前記制御電極 17 はワード線 WL を形成する。

【0026】本実施例によるフラッシュメモリでは、先にも説明したように、前記 n^- 型拡散領域 31A および前記 n^+ 型拡散領域 31C が Si 基板 31 中をフローティング電極パターン 35 直下の領域にまで延在するため、情報の消去の際、前記フローティング電極パターン 35 から前記 n^+ 型拡散領域 31C への電子のトンネル酸化膜 32A を通過するトンネリングによる引き抜きが確実に行われる。また、前記拡散領域 31A が低濃度の n^- 型拡散領域であるため、基板 31 と前記 n^+ 型拡散領域 31C の間の電界が弱められ、電子の引き抜きが過剰に生じて前記消去の際に拡散領域 31C からフローティング電極パターン 35 にホールが注入されてしまう問題を回避することができる。また、前記ドレイン領域 31B は n^+ 型にドーピングされているため、前記ドレイン領域 31B 近傍におけるホットエレクトロンの形成が効率的に生じ、情報の書き込み時に電子をフローティング電極パターン 35 に効率的に注入することが可能になる。

【0027】さらに、本発明の特徴によれば、前記ドレイン領域 31B を形成する工程がソースラインを形成する工程と同時になされるため、ドレイン領域 31B が形成された後でさらに不純物元素の熱拡散工程が行われることはなく、従ってドレイン領域 31B がフローティング電極パターン 35 直下のチャネル領域に侵入することがなく、あるいは侵入してもその侵入長が減少し、ドレイン領域 31B の先端は、図 9 (D) よりわかるように、ドレイン領域側の側壁酸化膜 39 と前記側壁酸化膜 39 を担持する側壁面との間に位置する。このため、フラッシュメモリを非常に微細化しても、ゲート長がドレイン領域からの不純物元素の拡散により過剰に狭められることがなくなり、ショートチャネル効果の発生が効果的に抑止される。

【0028】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるも

12

のではなく、特許請求の範囲に記載した本発明の要旨内において、様々な変形・変更が可能である。

【0029】

【発明の効果】請求項 1 ~ 11 記載の本発明の特徴によれば、基板中においてソース領域を構成する第 1 の拡散領域を、同じ基板中に形成され前記ソースラインを構成する第 3 の拡散領域に接続した構成の半導体装置において、ドレイン領域を構成する第 2 の拡散領域が、前記第 1 の拡散領域が形成された後、第 3 の拡散領域と同時に形成されるため、従来の製造工程におけるように、先に形成されたドレイン領域が、後でソースラインを形成する際に余計な処理を受ける問題が生じない。このため、チャネル領域へのドレイン領域からの不純物元素の熱拡散による侵入が抑制され、半導体装置が非常に微細化された半導体装置であっても、ショートチャネル効果の発生が抑止できる。また、前記ドレイン領域とソースラインとは同時に、自己整合的に形成されるため、工程が簡単である。

【図面の簡単な説明】

【図 1】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 1) である。

【図 2】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 2) である。

【図 3】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 3) である。

【図 4】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 4) である。

【図 5】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 5) である。

【図 6】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 6) である。

【図 7】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 7) である。

【図 8】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 8) である。

【図 9】 (A) ~ (D) は、本発明の一実施例によるフラッシュメモリの製造工程を示す図 (その 9) である。

【図 10】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 1) である。

【図 11】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 2) である。

【図 12】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 3) である。

【図 13】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 4) である。

【図 14】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 5) である。

【図 15】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 6) である。

【図 16】 (A) ~ (D) は、従来のフラッシュメモリの製造工程を示す図 (その 7) である。

13

の製造工程を示す図（その 7）である。

【図 17】（A）～（D）は、従来のフラッシュメモリの製造工程を示す図（その 8）である。

【図 18】（A）～（D）は、従来のフラッシュメモリの製造工程を示す図（その 9）である。

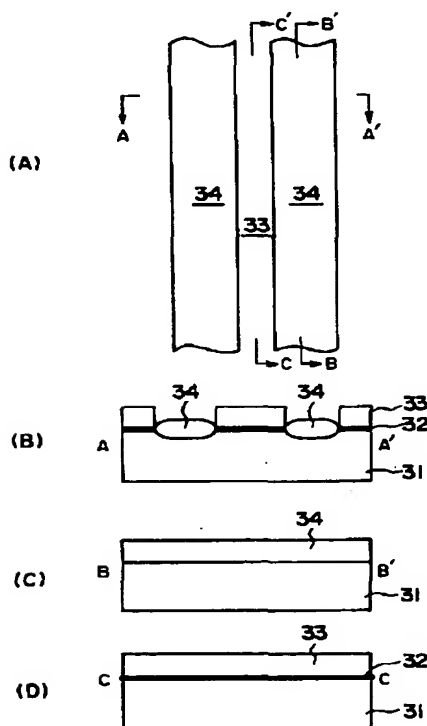
【図 19】（A）、（B）は従来のフラッシュメモリの構成および等価回路を示す図である。

【符号の説明】

- 11, 31 基板
 11A, 31A 低濃度ソース拡散領域
 11B, 31B ドレイン拡散領域
 11C, 31C 高濃度ソース拡散領域

【図 1】

(A)～(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 1）



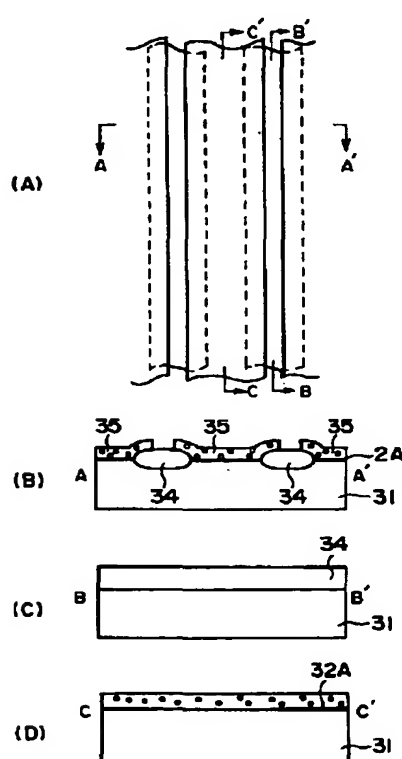
14

- * 11D, 31D ソースライン拡散領域
 12, 32 バッド酸化膜
 12A, 32A トンネル酸化膜
 13, 33 SiN膜
 14, 34 フィールド酸化膜
 15, 35 フローティング電極パターン
 16, 21, 23, 36 層間絶縁膜
 17, 37 制御電極パターン
 18, 20, 38, 40 レジストパターン
 10 19, 39 側壁酸化膜
 22 ビット線パターン

*

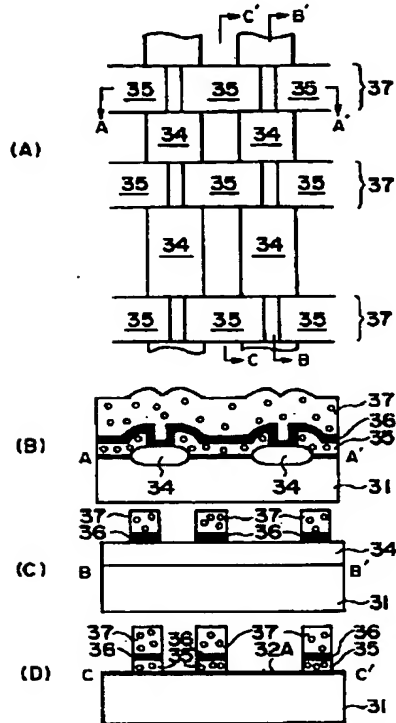
【図 2】

(A)～(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 2）



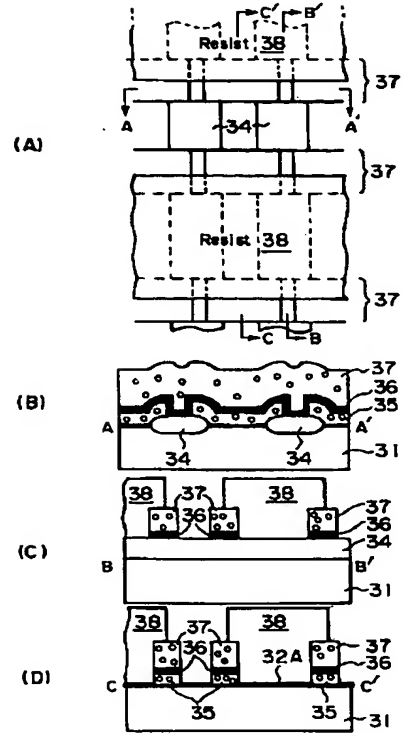
【図 3】

(A)～(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 3）



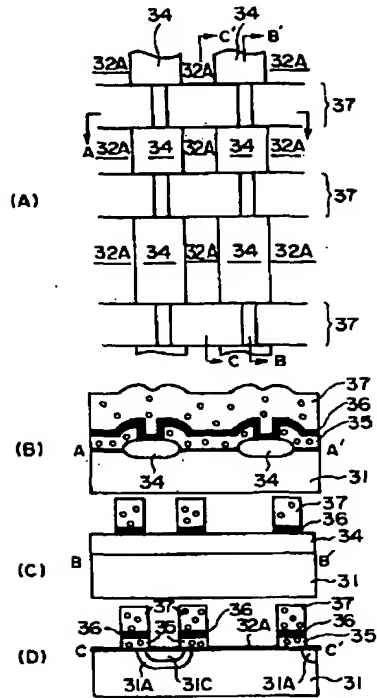
【図 4】

(A)～(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 4）



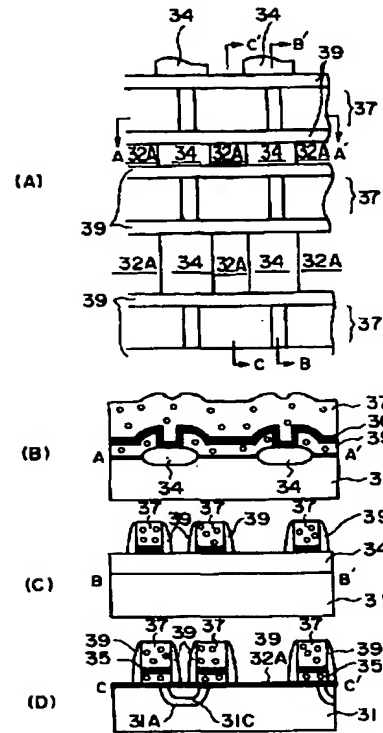
【図 5】

(A)~(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その5）



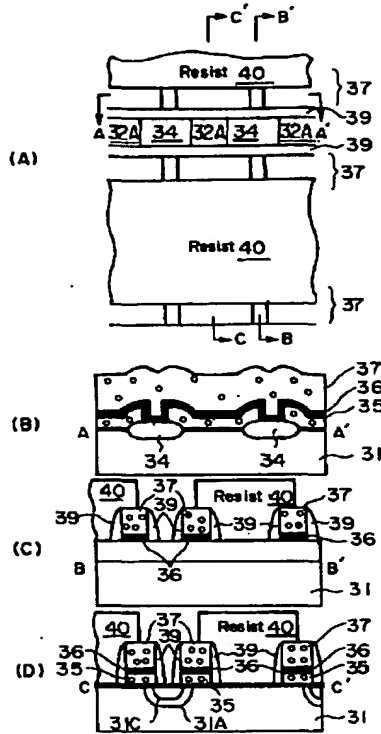
【図 6】

(A)~(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その6）



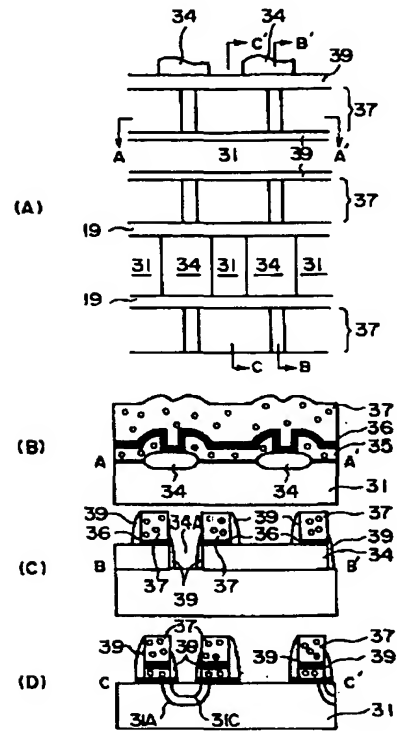
【図 7】

(A)~(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 7）



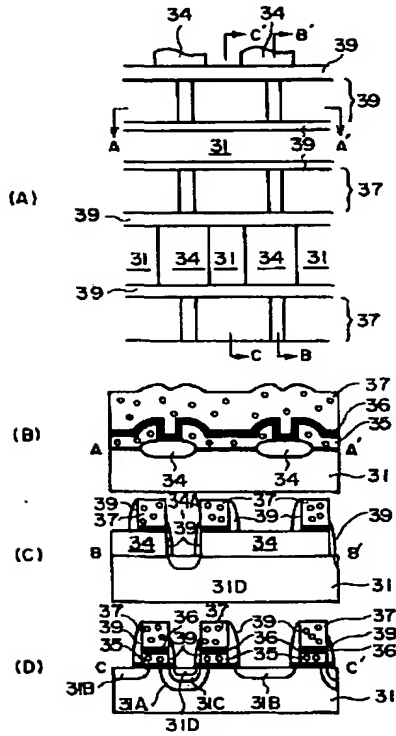
【図 8】

(A)~(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その 8）



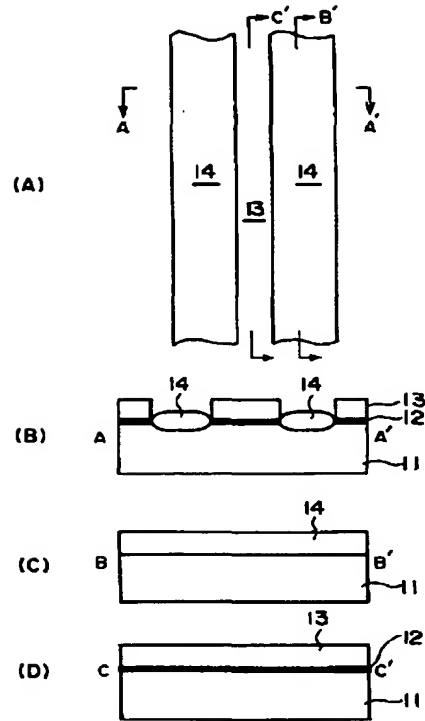
【図 9】

(A)～(D)は、本発明の一実施例によるフラッシュメモリの製造工程を示す図（その1）



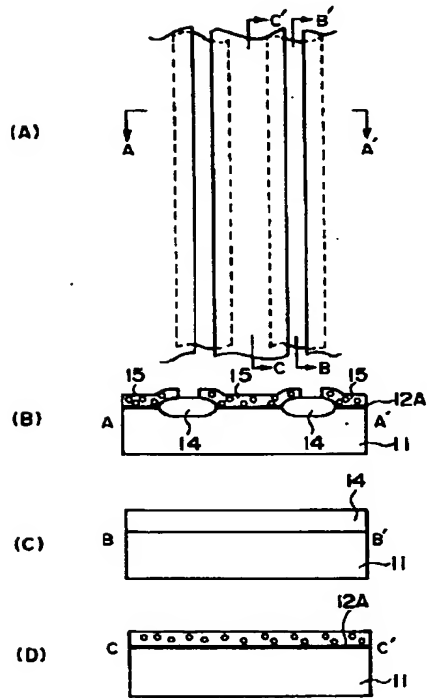
【図 10】

(A)～(D)は、従来のフラッシュメモリの製造工程を示す図（その1）



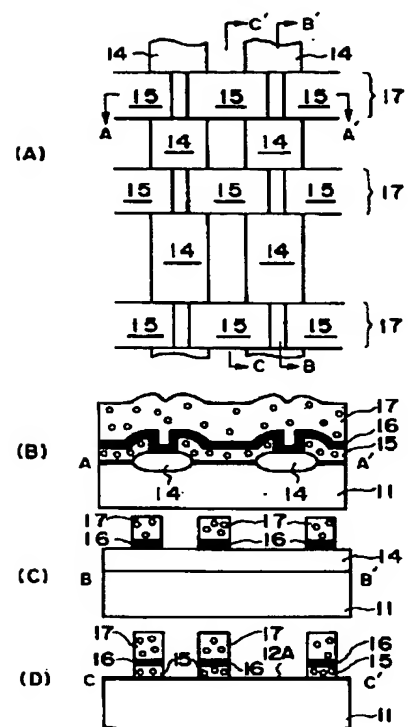
【図 1 1】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 2)



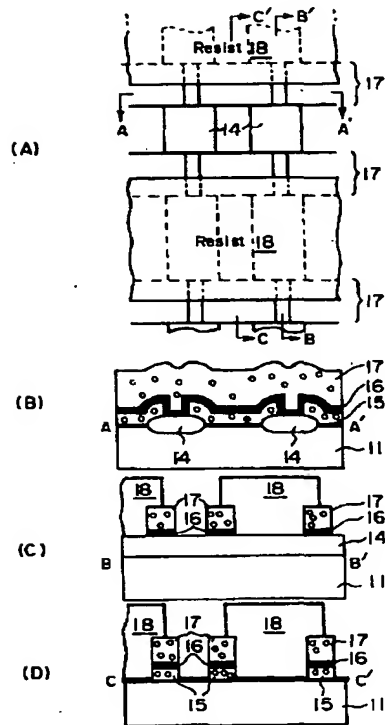
【図 1 2】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 3)



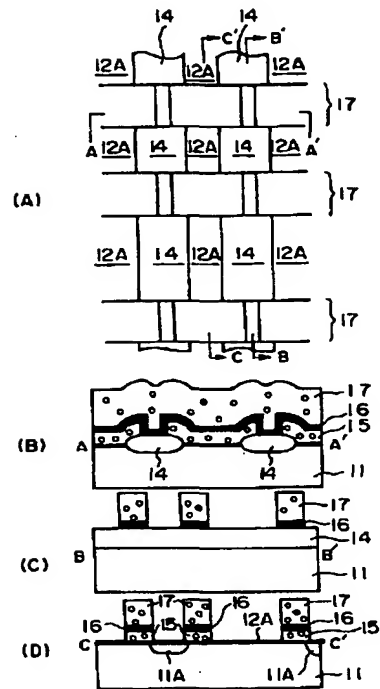
【図 13】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 4)



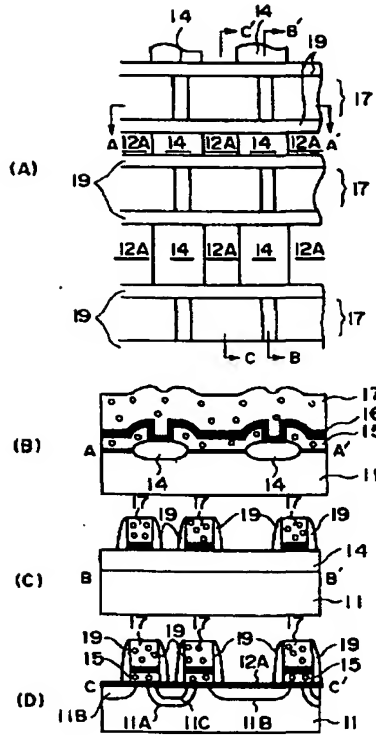
【図 14】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 5)



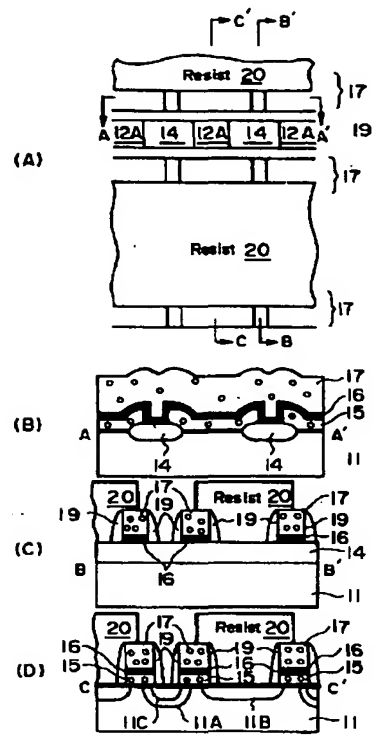
【図 15】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 6)



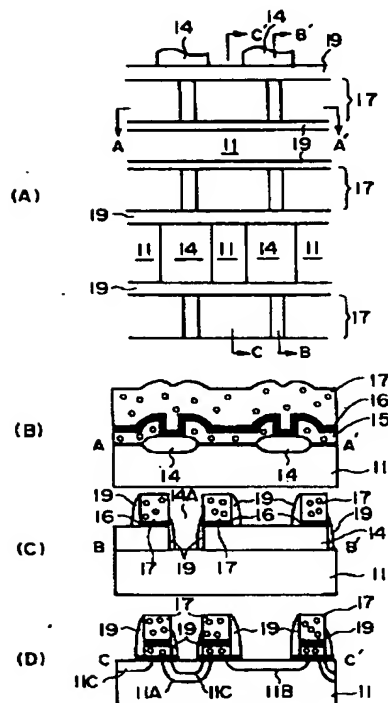
【図 16】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 7)



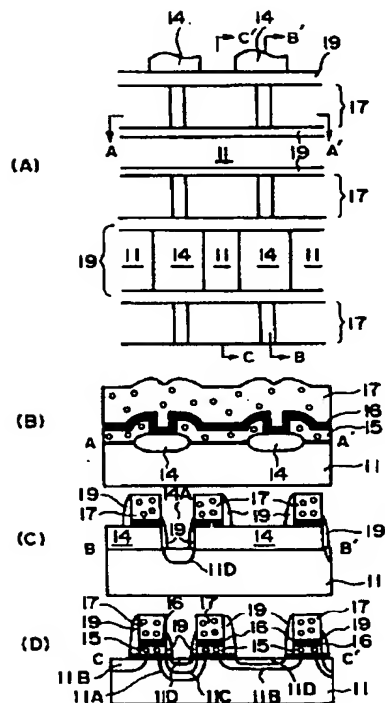
【図 17】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 8)



【図 18】

(A)~(D)は、従来のフラッシュメモリの製造工程を示す図
(その 9)



(A), (B)は従来のフラッシュメモリの構成および等価回路を示す図

